

MANUFACTURE OF SEMICONDUCTOR PHOTODETECTOR

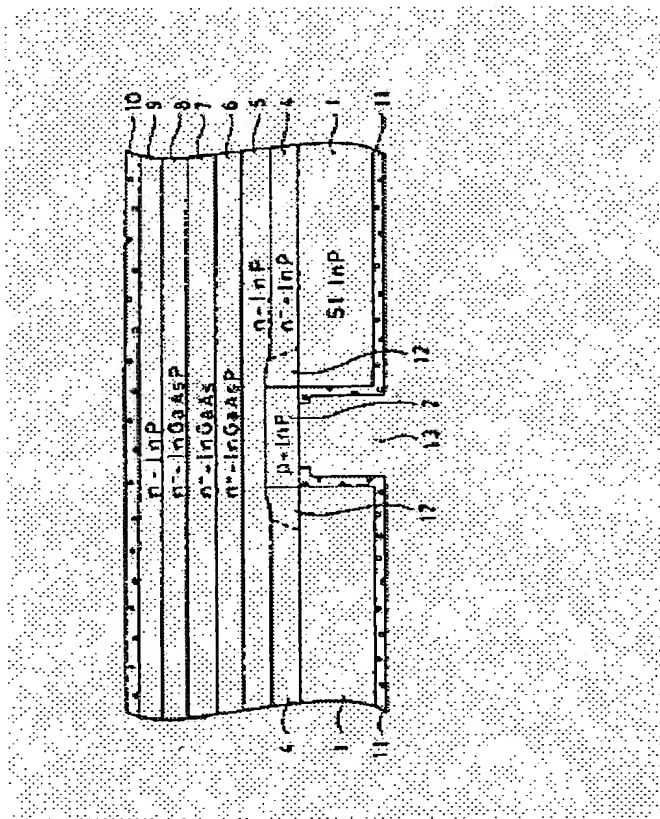
Publication number: JP3104287
Publication date: 1991-05-01
Inventor: KISHI YUTAKA; GOTO ATSUSHI
Applicant: FUJITSU LTD; FUJITSU YAMANASHI ELECTRONIC
Classification:
- international: **H01L31/107; H01L31/102; (IPC1-7): H01L31/107**
- european:
Application number: JP19890243026 19890919
Priority number(s): JP19890243026 19890919

[Report a data error here](#)

Abstract of JP3104287

PURPOSE: To accurately control the film thickness of an epitaxial layer and a p-n junction position by forming each of layers constructing a semiconductor photodetector by using an epitaxial growth method.

CONSTITUTION: A p-InP layer 2 is formed on a semi-insulating InP substrate 1 by using a liquid phase epitaxial growth method. An n<->-InP layer 4 is formed around the p-InP layer 2 to which a patterning is applied by using the liquid phase epitaxial growth method and the p-InP layer 2 is buried in the n<->-InP layer 4. Subsequently, an n-InP multiplying layer 5, an n<->-InGaAs intermediate layer 6, an n<->-InGaAs light absorbing layer 7, an n<->-InGaAsP layer 8 and an n-InP layer 9 are sequentially formed by using the liquid phase epitaxial growth method. The InP substrate 1 is selectively etched and a light incident window 13 is formed in a region corresponding to the p-InP layer 2. An (n) side electrode 10 is formed on the n-InP layer 9 and a (p) side electrode 11 is formed on the InP substrate 1 including the side wall of the light incident window 13 and in contact with the peripheral portion of the p-InP layer 2.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-104287

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)5月1日

H 01 L 31/107

9055-5F H 01 L 31/10

B

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体受光素子の製造方法

⑰ 特 願 平1-243026

⑱ 出 願 平1(1989)9月19日

⑲ 発 明 者 岸 豊 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑲ 発 明 者 後 藤 敦 山梨県中巨摩郡昭和町紙漕阿原1000番地 株式会社富士通
山梨エレクトロニクス内
⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
⑲ 出 願 人 株式会社富士通山梨エレクトロニクス 山梨県中巨摩郡昭和町紙漕阿原1000番地
⑲ 代 理 人 弁理士 寒川 誠一

明 細 書

1. 発明の名称

半導体受光素子の製造方法

2. 特許請求の範囲

半絶縁性の半導体基板(1)上に一導電型の半導体層(2)を形成し、

該一導電型の半導体層(2)をパターンニングして、前記半絶縁性の半導体基板(1)の一部領域上に残留し、

該パターンニングされた一導電型の半導体層(2)を囲んで反対導電型の半導体層(4)を形成し、

該反対導電型の半導体層(4)と前記パターンニングされた一導電型の半導体層(2)との上に反対導電型の半導体層(5)と反対導電型を有し、前記半導体より禁制帯幅の大きな第2の半導体の層(7)とを順次形成し、

前記半導体基板(1)を選択的にエッチングして、前記一導電型の半導体層(2)に対応する領域に光入射窓(13)を形成し、

前記反対導電型の第2の半導体の層(7)上に

前記反対極性側の電極(10)を形成し、前記半導体基板(1)上に前記一導電型の半導体層(2)の周縁部に接触して前記一極性側の電極(11)を形成する工程を有する

ことを特徴とする半導体受光素子の製造方法。

3. 発明の詳細な説明

(概要)

半導体受光素子の製造方法の改良に関し、

p n 接合位置を正確にコントロールすることによって、所定の特性を有する受光素子を安定して製造することができ、ウェーハ内に形成される各素子相互間に特性のばらつきが発生しないようにする半導体受光素子の製造方法を提供することを目的とし、

半絶縁性の半導体基板上に一導電型の半導体層を形成し、この一導電型の半導体層をパターンニングして、前記の半絶縁性の半導体基板の一部領域上に残留し、このパターンニングされた一導電型の半導体層を囲んで反対導電型の半導体層を形成し、この反対導電型の半導体層と前記のパターンニング

された一導電型の半導体層との上に反対導電型の半導体層と反対導電型を有し、前記の半導体より禁制帯幅の大きな第2の半導体の層とを順次形成し、前記の半導体基板を選択的にエッチングして、前記の一導電型の半導体層に対応する領域に光入射窓を形成し、前記の反対導電型の第2の半導体の層上に反対極性側の電極を形成し、前記の半導体基板上に前記の一導電型の層の周縁部に接触して一極性側の電極を形成するように構成する。

(産業上の利用分野)

本発明は、半導体受光素子の製造方法の改良に関する。特に、アバランシフォトダイオードのpn接合位置を正確にコントロールできるようにする改良に関する。

(従来の技術)

InP/InGaAsヘテロ構造を有するアバランシフォトダイオードの従来の代表的な製造方法について以下に説明する。

(発明が解決しようとする課題)

ところで、p型不純物を熱拡散するか、または、イオン注入して n^- -InP層106中に p^+ 拡散層109を形成する場合に、拡散深さを正確に制御することは現在の技術をもってしては困難であるため、 p^+ 拡散層109と n^- -InP層106との間に形成されるpn接合の位置を正確にコントロールすることは困難となり、所定の特性を有する受光素子を安定して製造することは難しい。また、 n^- -InP層106内にpn接合を形成するためには、 n^- -InP層106をかなり厚く形成しなければならないが、エピタキシャル成長膜厚が厚くなるとウェーハ面内における成長膜厚にばらつきが生じ、ウェーハ内に形成される各受光素子相互間の特性にばらつきが発生する。

本発明の目的は、これらの欠点を解消することであり、pn接合位置を正確にコントロールすることによって、所定の特性を有する受光素子を安定して製造することができ、ウェーハ内に形成さ

第6図参照

n^- -InP基板101上に n^- -InPよりなるバッファ層102と n^- -InGaAsよりなる光吸収層103と n^- -InGaAsP層よりなる中間層104と n^- -InPよりなる増倍層105と n^- -InP層106とを液相エピタキシャル成長法を使用して順次形成し、 n^- -InP層106にカドミウム、亜鉛等を熱拡散するか、または、ベリリウムをイオン注入して p^+ 拡散層109を形成し、 p^+ 拡散層109の周縁部の電界強度を低くするため p^+ 拡散層109を囲んで p^- ガードリング108を形成する。 n^- -InP層106上に二酸化シリコン、窒化シリコン等の絶縁膜107を形成し、これをパターニングして p^+ 拡散層109の周縁部に対応する領域に開口を形成し、この開口に接触してp側電極110を形成し、 n^- -InP基板101上にn側電極111を形成する。

れる各素子相互間に特性のばらつきが発生しないようにする半導体受光素子の製造方法を提供することにある。

(課題を解決するための手段)

上記の目的は、半絶縁性の半導体基板(1)上に一導電型の半導体層(2)を形成し、この一導電型の半導体層(2)をパターニングして、前記の半絶縁性の半導体基板(1)の一部領域上に残留し、このパターニングされた一導電型の半導体層(2)を囲んで反対導電型の半導体層(4)を形成し、この反対導電型の半導体層(4)と前記のパターニングされた一導電型の半導体層(2)との上に反対導電型の半導体層(5)と反対導電型であり、前記の半導体より禁制帯幅の大きな第2の半導体の層(7)とを順次形成し、前記の半導体基板(1)を選択的にエッチングして、前記の一導電型の半導体層(2)に対応する領域に光入射窓(13)を形成し、前記の反対導電型の第2の半導体の層(7)上に反対極性側の電極(10)

を形成し、前記の半導体基板(1)上に前記の一導電型の半導体層(2)の周縁部に接触して一極性側の電極(11)を形成する工程を有する半導体受光素子の製造方法によって達成される。

〔作用〕

本発明に係る半導体受光素子の製造方法においては、半導体受光素子を構成する各層がすべてエビタキシャル成長法を使用して形成されるので、pn接合位置は一導電型の半導体層(p型のInP層)2から反対導電型であり前記の半導体より禁制帯幅の大きな第2の半導体よりなる光吸収層(n型のInGaAs光吸収層)7までの間に形成される各エビタキシャル成長層の膜厚によって決定される。従来技術において必要であった熱拡散等によるP⁺-InP層(受光部を構成し、逆バイアスの印加によって光非照射時空乏層を発生するpn接合を形成する層)の形成工程が不要であるので、エビタキシャル成長層の膜厚を従来に比べて薄くすることができる。したがって、

第3図参照

絶縁膜3をマスクとして、フェリシアン系エッチャント等を使用してp-InP層2をエッチングする。

第4図参照

絶縁膜3を除去し、液相エビタキシャル成長法を使用して、p-InP層2の周囲に不純物濃度 $5 \times 10^{13} \text{cm}^{-3}$ 程度のn-InP層4を1.5 μm 厚程度に形成してp-InP層2を埋め込む。この時、p-InP層2上にはn-InP層は殆ど成長しない。

引き続き、液相エビタキシャル成長法を使用して、不純物濃度 5×10^{14} 程度、厚さ0.3 μm 程度のn-InP増倍層5と不純物濃度 5×10^{13} 程度、厚さ0.4 μm 程度のn-InGaAsP中間層6と不純物濃度 5×10^{13} 程度、厚さ1.5 μm 程度のn-InGaAs光吸収層7と不純物濃度 5×10^{13} 程度、厚さ0.5 μm 程度のn-InGaAsP層8と不純物濃度 3×10^{14} 程度、厚さ0.5 μm 程度のn-InP層9とを順次形成する。

エビタキシャル成長層の膜厚は正確に制御することができるので、pn接合位置を正確にコントロールすることが可能である。また、ウェーハ面内におけるエビタキシャル成長膜厚のばらつきが少なくなってウェーハ内に形成される素子相互間の特性のばらつきも少なくなる。

〔実施例〕

以下、図面を参照しつつ、本発明の一実施例に係る半導体受光素子の製造方法について説明する。第2図参照

300~350 μm 厚程度の半絶縁性InP基板1上に、液相エビタキシャル成長法を使用して不純物濃度 $1 \times 10^{14} \text{cm}^{-3}$ 程度のp-InP層2を2 μm 厚程度に形成する。なお、導入するp型の不純物としてはカドミウム等が適当である。

CVD法を使用して二酸化シリコン等の絶縁膜を2,000 \AA 厚程度に形成し、これをパターニングしてpn接合形成領域に対応する領域に幅50 μm 程度の絶縁膜3を形成する。

なお、導入するn型の不純物としては銅等が適当である。

上記の液相エビタキシャル成長過程における加熱によって、p-InP層2に導入されているp型不純物がn-InP層4中に固相拡散し、n-InP層4のp-InP層2に隣接する領域12がp型に反転する。このp型に反転した領域12はガードリングとして機能する。

第5図参照

InP基板1を研磨により、100 μm 厚程度に薄くした後、レジストマスクとフェリシアン系エッチャントとを使用してなすフォトリソグラフィ法を使用して選択的にエッチングをなし、p-InP層2に対応する領域に光入射窓13を形成する。

第1図参照

n-InP層9上に金/ゲルマニウム等を蒸着してn側電極10を形成し、光入射窓13の側壁を含むInP基板1上にp-InP層2の周縁部に接触して金/亜鉛等を蒸着してp側電極11を形成

する。

(発明の効果)

以上説明せるとおり、本発明に係る半導体受光素子の製造方法においては、受光素子を構成するすべての層をエピタキシャル成長法を使用して形成し、各エピタキシャル成長層の膜厚を薄くすることができるので、エピタキシャル成長による成長膜厚の制御が正確にできることから、pn接合位置を正確にコントロールすることができ、所定の特性を有する受光素子を安定して製造することができる。また、ウェーハ面内における、エピタキシャル成長膜厚のばらつきが小さくなり、ウェーハ内に形成される素子相互間の特性のばらつきが小さくなる。また、p-InP層は受光領域のみに形成されるのでpn接合領域の面積は十分小さくなり、したがって、接合容量が小さくなって高速応答が可能になる。

4. 図面の簡単な説明

第1図は、本発明の一実施例に係る半導体受光素

子の製造方法を使用して製造された半導体受光素子の断面図である。

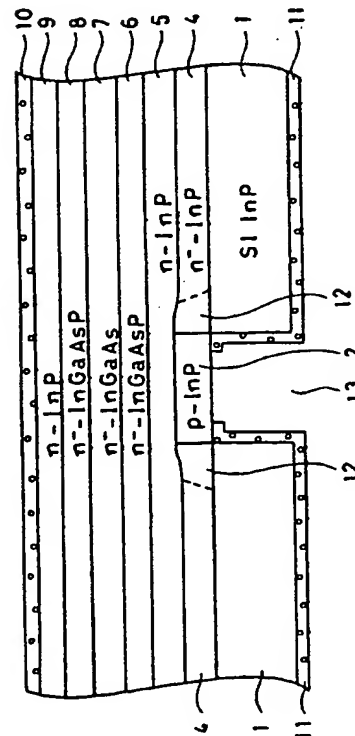
第2図～第5図は、本発明の一実施例に係る半導体受光素子の製造方法を説明する工程図である。

第6図は、従来技術に係る半導体受光素子の製造方法を説明する断面図である。

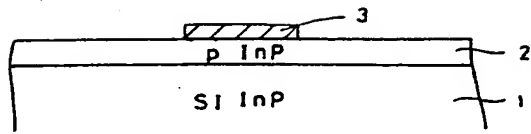
- 1・・・半絶縁性InP基板、
- 2・・・p-InP層、
- 3・・・絶縁膜、
- 4・・・n⁻-InP層、
- 5・・・n-InP増倍層、
- 6・・・n⁻-InGaAsP中間層、
- 7・・・n⁻-InGaAs光吸収層、
- 8・・・n⁻-InGaAsP層、
- 9・・・n-InP層、
- 10・・・n側電極、
- 11・・・p側電極、
- 12・・・p型反転領域、
- 13・・・光入射窓、

- 101・・・n⁻-InP基板、
- 102・・・n-InPバッファ層、
- 103・・・n⁻-InGaAs光吸収層、
- 104・・・n⁻-InGaAsP中間層、
- 105・・・n-InP増倍層、
- 106・・・n⁻-InP層、
- 107・・・絶縁膜、
- 108・・・p⁻ガードリング、
- 109・・・p⁻拡散層、
- 110・・・p側電極、
- 111・・・n側電極、

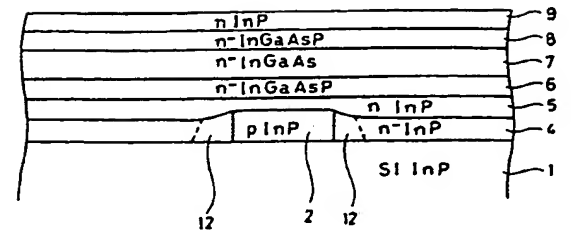
代理人 弁理士 寒川誠一



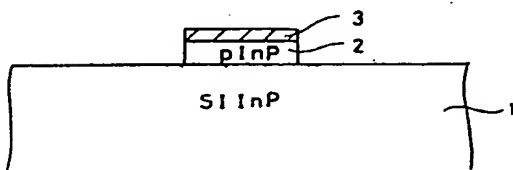
本発明
第1図



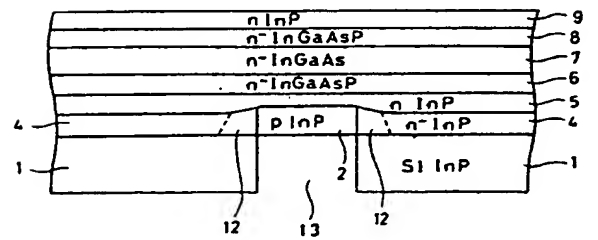
工程図
第 2 図



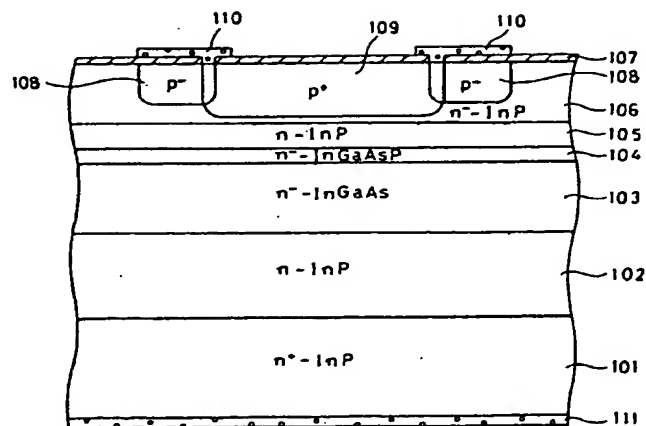
工程図
第 4 図



工程図
第 3 図



工程図
第 5 図



従来技術
第 6 図